

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

RCA

89413

CITED BY APPLICANT

PUBLICATION NUMBER : 55031348  
PUBLICATION DATE : 05-03-80

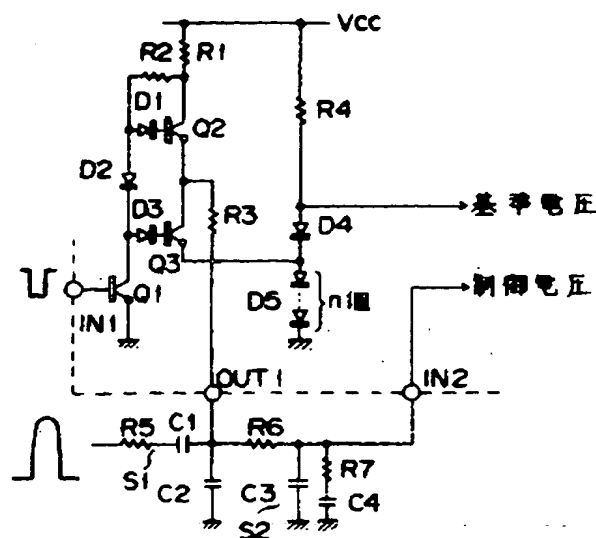
APPLICATION DATE : 28-08-78  
APPLICATION NUMBER : 53104670

APPLICANT : TOSHIBA CORP;

INVENTOR : TANABE MASATO;

INT.CL. : H04N 5/12

TITLE : AUTOMATIC FREQUENCY CONTROL  
CIRCUIT



ABSTRACT : PURPOSE: To facilitate an easy design by using the capacitor of the integrating circuit to obtain the comparison signal also for the capacitor for the phase detection circuit along with installation of the input/output terminal of the comparison signal.

CONSTITUTION: The voltage control oscillation comprising transistors TrQ2 and Q3 controls the oscillation frequency by varying the compound ratio of the two units of the output vector compound output ends featuring the different phase transition amount to each other. Then the reference voltage is applied to one terminal OUT1 of the circuit, and the DC control voltage is applied to the other input terminal IN2 each. Thus capacitor C2 is made to double the capacitors for both the integrating circuit to obtain the comparison signal and the phase detection circuit, along with installation of the input/output terminal for the comparison signal. As a result, an automatic frequency control becomes possible, at the same time facilitating the design.

COPYRIGHT: (C)1980,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭55-31348

⑤ Int. Cl.<sup>3</sup>  
H 04 N 5/12

識別記号

庁内整理番号  
6246-5C

⑬ 公開 昭和55年(1980)3月5日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 自動周波数制御回路

深谷市幡羅町1丁目9番2号東  
京芝浦電気株式会社深谷工場内

⑯ 特 願 昭53-104670  
⑰ 出 願 昭53(1978)8月28日  
⑱ 発 明 者 田辺正人

⑯ 出 願 人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
⑰ 代 理 人 弁理士 鈴江武彦 外2名

Jap. Pat. OPI No. 55-31348(3-5-80)  
Jap. Pat. Appln. No. 53-104670(8-28-78)  
Applicant: Toshiba Corp

明 細 書

1 発明の名称

自動周波数制御回路

2 特許請求の範囲

1 組あるいは2組の差動構成されたトランジスタ・ペアを使用して互いに位相推移量の異なる2個の出力のベクトル合成の出力端での合成割合を変えることにより発振周波数をコントロールする電圧制御発振器と、この電圧制御発振器の一方の入力端子に基準電圧を与える基準電圧発生回路と、この基準電圧発生回路と電源との間に互いのコレクタ・エミッタ通路が直列接続された少なくとも2個のトランジスタと、これらのトランジスタを同期信号に応じてスイッチングさせる回路と、前記トランジスタの直列接続点に接続される周波数比較信号形成用の積分回路および位相検波回路用に用いられるコンデンサと、このコンデンサに発生する位相検波出力を平滑して前記電圧制御発振器の他方の入力端子に直流制御電圧として与える回路とを具

備してなることを特徴とする自動周波数制御回路。

3 発明の詳細な説明

本発明は、例えばテレビジョン受像機の水平同期回路に用いる自動周波数制御回路に係り、特に集積回路化に好適するように改良したものに關する。

従来、テレビジョン受像機の水平同期回路には水平発振周波数の同期をとるために自動周波数制御(以下AFCと呼ぶ)回路が使用されている。そして、水平発振器として、クリスタルもしくは、LC共振子等のフィルターを使用する電圧制御発振器を使用して、集積回路化しようと考えた場合、従来、差動構成のトランジスタを使用する位相検波回路の2個の出力の間にAFC積分回路を挿入して、通常差動構成のトランジスタよりなる発振器の発振周波数制御入力端に接続するという構成が知られている。

しかしながら、このようなAFC回路では同期信号入力端子と比較信号入力端子それぞれにAFC

積分回路を挿入するための2端子の計4端子を必要とするので、可及的に端子ピン数の減少をはからなければならぬ無償回路化においては、特に問題となる点であった。

本発明は上述した点にかんがみてなされたもので比較信号を得るための積分回路のコンデンサを位相検波回路用のコンデンサと兼用して比較信号入力端子兼出力端子とすることにより、この端子と同期信号入力端子及び制御電圧入力端子の3端子構造とし得、またAFCクランプ回路の基準電圧とその電圧を基準とするAFC制御電圧の差電圧で発振周波数をコントロールする電圧制御発振器と組合わせることにより、AFCクランプ回路の基準電圧の規格がゆるくてよく、設計の容易な自動周波数制御回路を提供することを目的とする。

以下、本発明を図示の実施例について説明する。すなわち、第1図に示すように同期信号入力端子IN<sub>1</sub>に負極性の同期信号が入るとトランジスタQ<sub>1</sub>はカットオフし、これに伴ってQ<sub>2</sub>

のコレクタに図示の如きダイオードD<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>を介して接続されたトランジスタQ<sub>3</sub>、Q<sub>4</sub>は抵抗R<sub>1</sub>、R<sub>2</sub>によつて決まるバイアス電流が流れてオンする。この時トランジスタQ<sub>3</sub>のコレクタ電圧V<sub>C3</sub>は各トランジスタのベース・エミッタ間電圧をV<sub>BE3</sub>、各ダイオードの順電圧をV<sub>D</sub>として

$$V_{C3} = V_{D1} + V_{D2} + V_{D3} + V_{BE3} - V_{BE1} - V_{BE2} \quad (1)$$

$$V_{D1} + V_{D2} = V_{D3} + V_{D4}$$

となる。つまり、同期信号期間においては、一定電圧V<sub>C3</sub> = V<sub>D3</sub> + V<sub>D4</sub> (すなわち基準電圧) が得られ抵抗R<sub>3</sub>を通してAFC出力端子OUT<sub>1</sub>から導出され、同期信号期間この端子を基準電圧にクランプすることになる。一方この端子OUT<sub>1</sub>には水平パルス信号が抵抗R<sub>4</sub>、およびコンデンサC<sub>1</sub>、C<sub>2</sub>の積分回路S<sub>1</sub>を介して加えられるので、コンデンサC<sub>2</sub>の両端には比較信号となる鋸歯状波電圧が発生している。このため、該鋸歯状波電圧の同期信号と位相が一致した部分の電圧が基準電圧として保持される

こととなる。このため第2図の(a)に示す様に同期信号と水平パルス信号との位相が正しい場合には出力端子の波形は基準電圧がセンターにくるようになつてゐる。また、水平パルス信号の位相が同期信号よりも進んだ場合は第2図(b)の関係となり同様に遅れた場合には第2図(c)の関係になる。つまり、これは比較信号を得るために水平パルス信号を積分する積分回路S<sub>1</sub>のコンデンサC<sub>2</sub>をして該積分出力である鋸歯状波電圧と同期信号との位相関係を抽出する位相検波回路用のコンデンサを共用させたことに外ならない。

従つて同期信号に対して水平パルス信号の位相がずれると鋸歯状波の平均電圧が変化し抵抗R<sub>1</sub>、R<sub>2</sub>およびコンデンサC<sub>3</sub>、C<sub>4</sub>よりなる積分回路S<sub>2</sub>で平滑された直流制御電圧は第2図中破線で示すようになる。従つてこの制御電圧を制御電圧入力端子IN<sub>2</sub>より取り入れて図示しない水平発振回路に加えることによつて発振周波数が制御され常に同期信号と正しい位相

をもつた水平パルスが得られるように制御することができる。

そして、図示しない水平発振回路として1組あるいは2組の差動構成されたトランジスタ・ペアを使用し、このベース電位を動かすことによつて、互いに位相逆相移の異なる2個の出力のベクトル合成をなすに際して出力端での、それぞれの被合成ベクトルの大きさを覚えてその結果として合成ベクトルの位相を動かし、それにより発振周波数をコントロールする電圧制御発振器において、上記差動構成のトランジスタペアの一方の入力端子に基準電圧を与え、他方の入力端子に平滑された直流制御電圧を与えることによつて、AFCが可能となる。この時、AFCクランプ電圧と基準電圧が等しいことから、基準電圧V<sub>D3</sub>において、その絶対値がばらついたり、温度ドリフトしても問題はなく、そのために、例えば基準電圧において特に温度補償をしたり、抵抗の精度をおさえたり、フィードバック回路を含む定電圧回路をそり入して具

電路の簡便性をとり込んだりすることが必要がないので設計をきわめて容易にし得る。

以上述べたように本発明によれば、コンデンサC<sub>1</sub>をして比較信号を得るための積分回路のコンデンサと、位相検波回路の出力コンデンサとを兼用させることにより集積回路化する上で端子数を1端子減少し得、またAFCクランプ回路の基準電圧と、その電圧を基準とするAFC制御電圧の差電圧で発振周波数をコントロールする電圧制御発振器と組み合わせることにより、AFCクランプ回路の基準電圧の規格がゆるくてよく、設計の容易な自動周波数制御回路を得ることができる。

C<sub>1</sub>、～C<sub>n</sub>…コンデンサ

出願人代理人 弁護士 錦 江 武 彦

#### 4. 図面の簡単な説明

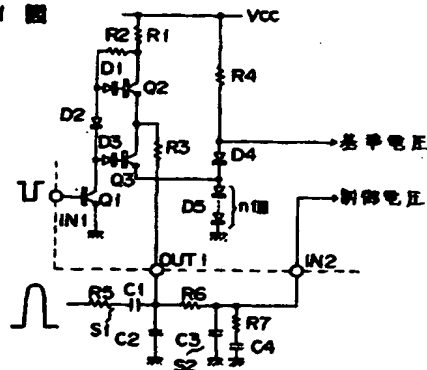
第1図はこの発明の一実施例を示す発振器の回路図、第2図は第1図の動作を説明するための波形図である。

Q<sub>1</sub>、～Q<sub>n</sub>…トランジスタ

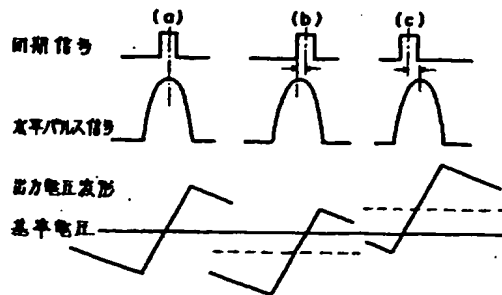
D<sub>1</sub>、～D<sub>n</sub>…ダイオード

R<sub>1</sub>、～R<sub>n</sub>…抵抗

第1図



第2図



JAPANESE PATENT OFFICE  
PATENT JOURNAL (A)  
KOKAI PATENT APPLICATION NO. SHO 55[1980]-31348

Int. Cl. <sup>3</sup> :	H 04 N 5/12
Sequence No. for Office Use:	6246-5C
Filing No.:	Sho 53[1978]-104670
Filing Date:	August 28, 1978
Publication Date:	March 5, 1980
No. of Inventions:	1 (Total of 3 pages)
Examination Request:	Not filed

AUTOMATIC FREQUENCY CONTROL CIRCUIT

Inventor:	Masahito Tanabe Fukatani Factory, Tokyo Shibaura Electric Co., Ltd. 1-9-2 Hatara-cho, Fukatani-shi
Applicant:	Tokyo Shibaura Electric Co., Ltd. 72 Horigawa-cho, Saiwai-ku, Kawasaki-shi
Agent:	Takehiko Suzue, patent attorney

[There are no amendments to this patent.]

Claim

An automatic frequency control circuit characterized by having the following parts: a voltage control oscillator which controls oscillation frequency by varying the combination proportion at the output terminal of the vector combination of two outputs with different phase shifts by using one or two groups of differential transistor pairs, a reference voltage generating circuit which applies a reference voltage to one of the input terminals of the voltage control

In the following, the present invention will be explained with reference to an application example shown in the figures. As shown in Figure 1, when a negative synchronizing signal is input to synchronizing signal input terminal  $IN_1$ , transistor  $Q_1$  is cut off. In the meantime, transistors  $Q_2$  and  $Q_3$ , which are connected to the collector of  $Q_1$  via diodes  $D_1$ ,  $D_2$ , and  $D_3$  as shown in the figure, are turned on to allow flow of a bias current determined by resistors  $R_1$  and  $R_2$ . In this case, if the collector voltage of transistor  $Q_3$  is taken as  $V_{C3}$ , the base-emitter voltage of each transistor is taken as  $V_{BE}$ , and the forward voltage of each diode is taken as  $V_D$ , the following relationships can be obtained.

$$V_{C3} = V_{D1} + V_{D2} + V_{D3} + V_{BE} - V_{D4} - V_{D5} + V_{D6} + V_{D7} + V_{D8} + V_{D9} + V_{D10} + V_{D11} + V_{D12} + V_{D13} + V_{D14} + V_{D15} + V_{D16} + V_{D17} + V_{D18} + V_{D19} + V_{D20} + V_{D21} + V_{D22} + V_{D23} + V_{D24} + V_{D25} + V_{D26} + V_{D27} + V_{D28} + V_{D29} + V_{D30} + V_{D31} + V_{D32} + V_{D33} + V_{D34} + V_{D35} + V_{D36} + V_{D37} + V_{D38} + V_{D39} + V_{D40} + V_{D41} + V_{D42} + V_{D43} + V_{D44} + V_{D45} + V_{D46} + V_{D47} + V_{D48} + V_{D49} + V_{D50} + V_{D51} + V_{D52} + V_{D53} + V_{D54} + V_{D55} + V_{D56} + V_{D57} + V_{D58} + V_{D59} + V_{D60} + V_{D61} + V_{D62} + V_{D63} + V_{D64} + V_{D65} + V_{D66} + V_{D67} + V_{D68} + V_{D69} + V_{D70} + V_{D71} + V_{D72} + V_{D73} + V_{D74} + V_{D75} + V_{D76} + V_{D77} + V_{D78} + V_{D79} + V_{D80} + V_{D81} + V_{D82} + V_{D83} + V_{D84} + V_{D85} + V_{D86} + V_{D87} + V_{D88} + V_{D89} + V_{D90} + V_{D91} + V_{D92} + V_{D93} + V_{D94} + V_{D95} + V_{D96} + V_{D97} + V_{D98} + V_{D99} + V_{D100}$$

That is, during the period of the synchronizing signal, a constant voltage  $V_{C3} = V_{D5} + V_{D4}$  (that is, the reference voltage) is obtained and output from AFC output terminal  $OUT_1$  via resistor  $R_3$ . During the period of the synchronizing signal, the terminal is clamped to the reference voltage. On the other hand, since a horizontal pulse signal is applied to terminal  $OUT_1$  through resistor  $R_5$  and the integrator circuit  $S_2$  comprising capacitors  $C_1$  and  $C_2$ , a sawtooth wave voltage is generated as a comparison signal across the two ends of capacitor  $C_2$ . Consequently, the voltage in the part where the phase of the sawtooth-wave voltage is consistent with that of the synchronizing signal is maintained as the reference voltage. Therefore, as shown in Figure 2(a), when the phases of the synchronizing signal and horizontal pulse signal are aligned, the waveform at the output terminal is such that the reference voltage is located at the center. Figure 2(b) shows a situation in which the phase of the horizontal pulse signal is ahead of that of the synchronizing signal. Similarly, Figure 2(c) shows a situation in which the phase of the horizontal pulse signal falls behind that of the synchronizing signal. The main point of the present invention is to use capacitor  $C_2$  of integrator circuit  $S_1$ , which integrates the horizontal pulse signal in order to obtain the comparison signal, as the capacitor for the phase shift detection circuit which extracts the phase relationship between the synchronizing signal and the sawtooth wave voltage, that is, the output of the integrator circuit.

Consequently, when there is a phase difference between the synchronizing signal and the horizontal pulse signal, the average voltage of the sawtooth wave varies, and the DC control voltage smoothed by integrator circuit  $S_2$  comprising resistors  $R_6$  and  $R_7$  as well as capacitors  $C_3$  and  $C_4$  becomes that indicated with the broken line in Figure 2. When the control voltage is input from control voltage input terminal  $IN_2$  and is applied to a horizontal oscillation circuit (not

shown in the figure), the oscillation frequency can be controlled, and a horizontal pulse in phase with the synchronizing signal can be obtained constantly.

One or two groups of differential transistor pairs are used as the horizontal oscillation circuit that is not shown in the figure. When the base potential is changed, the magnitude of each vector to be combined is varied at the output terminal when the vectors of two outputs with different phase shifts are combined. As a result, the phase of the combined vector is changed. Consequently, in the voltage control oscillator which controls the oscillation frequency, AFC becomes possible by applying the reference voltage to one of the input terminals of the aforementioned differential transistor pair and applying the smoothed DC control voltage to the other input terminal. At that time, since the AFC clamping voltage equals the reference voltage, the absolute value of reference voltage  $V_{D5}$  will not become scattered. Also, since no problem will develop even with temperature drift, there is no need to perform special temperature compensation for the reference voltage. In addition, there is no need to restrict the accuracy of the resistors or insert a constant voltage circuit containing a feedback circuit to prevent abnormal oscillation. Consequently, the design is significantly simplified.

As described above, according to the present invention, capacitor  $C_2$  is used as both the capacitor of the integrator circuit, which is used to obtain the comparison signal, and the output capacitor of the phase shift detection circuit. In this way, the number of terminals can be reduced by one during circuit integration. Also, the design of the automatic frequency control circuit is simplified by allowing the reference voltage of the AFC clamping circuit to have loose specifications depending on the combination with a voltage control oscillator which controls the oscillation frequency according to the voltage difference between the reference voltage of the AFC clamping circuit and the AFC control voltage which is based on the aforementioned reference voltage.

#### Brief description of the figures

Figure 1 is a circuit diagram illustrating the main parts in an application example of the present invention. Figure 2 is a waveform diagram explaining the operation of the circuit shown in Figure 1.

$Q_1$ - $Q_3$  Transistors

$D_1$ - $D_5$  Diodes

$R_1$ - $R_7$  Resistors

$C_1$ - $C_4$  Capacitors



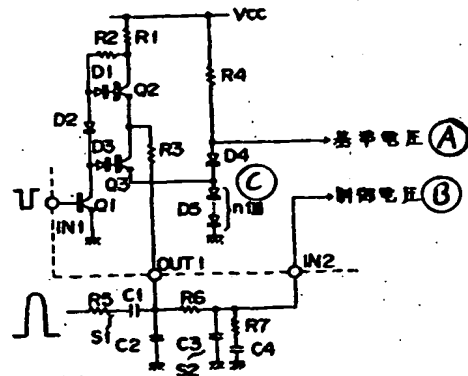


Figure 1

Key: A Reference voltage  
 B Control voltage  
 C n Number [of diodes]

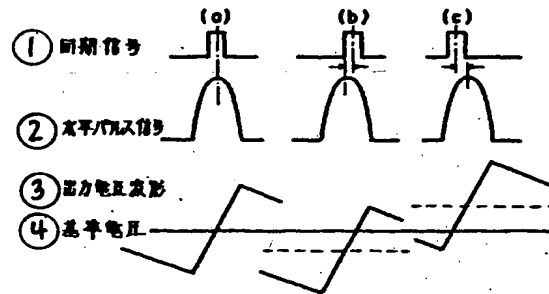


Figure 2

Key: 1 Synchronizing signal  
 2 Horizontal pulse signal  
 3 Waveform of the output voltage  
 4 Reference voltage